

Speicheranordnung und Verfahren zum Betreiben einer solchen

Die vorliegende Erfindung betrifft eine Speicheranordnung nach dem Oberbegriff des Patentanspruchs 1 sowie ein

5 Verfahren zum Betreiben einer Speicheranordnung.

Gattungsgemäße Speicheranordnungen sind z. B. bekannt als Halbleiterspeicherbausteine vom SRAM-Typ oder von einem der verschiedenen, wieder beschreibbaren ROM-Typen wie EAROM,

10 EPROM, EEPROM, Flash-Speicher etc.. All diesen Bausteintypen, die ja als wesentliche Bauteile halbleitende Materialien wie z. B. Silizium enthalten, ist gemeinsam, dass ein Auslesen der in ihnen gespeicherten Information zerstörungsfrei erfolgt, d. h., die in ihnen gespeicherte Information bleibt 15 auch beim Auslesen in ihnen erhalten (im Gegensatz dazu erfolgt das Auslesen von gespeicherter Information aus DRAM-Speicheranordnungen zerstörend, was zur Folge hat, dass die ausgelesene Information unmittelbar nach ihrem Auslesen wieder in die betroffenen Speicherzellen zurückzuschreiben 20 ist).

Im Zuge der fortschreitenden Verkleinerung der Strukturen von integrierten Schaltungen, und somit auch im Zuge der fortschreitenden Verkleinerung der Strukturen von

25 gattungsgemäßen Speicheranordnungen, wird neuerdings versucht, Speicheranordnungen zu schaffen, deren Speichermechanismus nicht mehr auf den von Halbleiterspeichern her bekannten Speichermechanismen beruht, sondern auf anderen. Beispiele für solche andere, bereits 30 allgemein bekannte Speichermechanismen sind z. B. der ferroelektrische Typ (z. B. FeRAM) und der magnetische Typ (z. B. MRAM). Darüber hinaus wird aber auch an heute noch weitgehend unbekannten Speichertypen geforscht:

beispielsweise stand im Internet am 13. Oktober 2003 Teil 2 35 des Artikels „Die Zukunft des Speichers“ der Allgemeinheit zur Kenntnisnahme zur Verfügung, auffindbar anhand der Adresse

„www.elektroniknet.de/topics/bauelemente/fachthemen/2002/020223“.

-2-

Darin wurde auf Polymer-basierte FeRAMs und auf ein „Ovionics Unified Memory OUM“ als künftige, neue Speichertechnologien hingewiesen. Weiterhin wurde in der Zeitschrift „Elettronica Oggi 316“, Ausgabe Ottobre 2002, auf den Seiten 118 bis 123
5 ein neuer Speichermechanismus mit Zukunftschancen vorgestellt, nämlich ein elektrochemischer Speicher in PMC-Technologie (PMC = Programmable Metallization Cell). Bei wenigstens einem Teil dieser Speichermechanismen ist jedoch zu erwarten, dass bei entsprechend aufgebauten
10 Speicheranordnungen Lesevorgänge zwar weitgehend zerstörungsfrei erfolgen können, dass sich jedoch ein durch das Auslesen verursachtes gewisses Ausmaß an (quantitativem) Verringern der in den betroffenen Speicherzellen enthaltenen Informationen nicht vermeiden lässt. Infolge davon wird bei
15 mehrmaligem Auslesen aus ein- und derselben Speicherzelle die in dieser Speicherzelle gespeicherte Information, auch wenn sie digitalen Charakter hat, quantitativ abnehmen, was im Allgemeinen als Degradation bezeichnet wird. Damit lässt sich absehen, dass nach häufigem Auslesen die in einer solchen
20 Speicherzelle enthaltene Informationsmenge insgesamt dann soweit abgesunken sein wird, dass diese Information bei weiteren Auslesevorgängen von einer Bewertungseinrichtung nicht mehr von einer Information mit dem entgegengesetzten logischen Inhalt unterscheidbar sein wird, so dass sich
25 Lesefehler einstellen.

Eine technisch naheliegende und einfach realisierbare Lösung dieses Problems könnte darin liegen, dass jeder Lesevorgang so ausgestaltet wird, das sich an ihn unmittelbar darauf ein
30 Wiedereinschreibvorgang anschließt mit dem Ergebnis, dass eine so aus einer Speicherzelle ausgelesene Information unmittelbar darauf wieder in dieselbe Speicherzelle zurückgeschrieben wird, so dass sie aufgrund der damit verbundenen Signalverstärkung dort, quantitativ betrachtet,
35 wieder in vollem Umfang für weitere Lesevorgänge zur Verfügung steht. Solche Speicheranordnungen wären also entsprechend den allseits bekannten DRAM-Halbleiterspeichern zu gestalten und zu betreiben. Allerdings ist wohl auch

einleuchtend, dass ein Wiedereinschreiben wie vorstehend beschrieben Zeit benötigt, welche wiederum den Betrieb entsprechender Speicheranordnungen in einem Umfang verlangsamen würde, der vom Anwender als inakzeptabel 5 empfunden wird.

Aufgabe der vorliegenden Erfindung ist es deshalb, gattungsgemäße Speicheranordnungen so auszustalten, dass ein durch mehrmaliges Auslesen der Information verursachtes 10 quantitatives Absinken von in einer Speicherzelle gespeicherten Information wenigstens soweit unterbunden ist, dass durch weiteres Auslesen keine Lesefehler entstehen können. Aufgabe ist es weiterhin, ein entsprechendes Betriebsverfahren anzugeben.

15 Diese Aufgabe wird bei einer gattungsgemäßen Speicheranordnung gelöst durch die kennzeichnenden Merkmale des Patentanspruchs 1 sowie bei einem entsprechenden Betriebsverfahren mit den Merkmalen des Patentanspruchs 8. 20 Vorteilhafte Aus- und Weiterbildungen sind in Unteransprüchen gekennzeichnet.

Die Erfindung wird nachstehend anhand einer Zeichnung näher erläutert. Dabei zeigen die Figuren 1 bis 3 verschiedene 25 Ausführungsformen der vorliegenden Erfindung.

Figur 1 zeigt ausschnittsweise eine erste Ausführungsform der vorliegenden Erfindung. Sie ist angenommenermaßen in einem einzelnen Speicherbaustein realisiert. Diese Ausführungsform 30 weist, wie allgemein üblich, wieder beschreibbare Speicherzellen MC auf, die entlang von Wortleitungen WL und von Bitleitungen BL angeordnet sind, nämlich an Kreuzungen der Wortleitungen WL mit den Bitleitungen BL. Die Speicherzellen MC sind von einem Typ, bei dem ein Auslesen 35 der in ihnen gespeicherten Information weitgehend zerstörungsfrei erfolgt. Bei heute üblichen Speicheranordnungen können dies also beispielsweise Halbleiterspeicher von den vorgenannten ROM-Typen oder vom

statischen RAM-Typ (SRAM) sein. Es können aber auch Speicheranordnungen mit Speichermaterialien und Speicherprinzipien sein, die erst in der Zukunft wirtschaftliche Bedeutung erlangen werden. Als Beispiel hierfür seien, stellvertretend für andere Möglichkeiten der Speicherung von Information, Speicheranordnungen genannt, deren Speicherprinzip darauf beruht, dass ein Festkörperelektrolyt bei Anlegen einer geeigneten Spannung Metall-Ionen zum Wandern innerhalb eines ansonsten isolierenden Elektrolyten veranlasst, so dass sich ein, je nachdem, ob dabei ein metallisch leitender Pfad ausgebildet wird oder nicht, unterschiedlicher Widerstandswert des Festkörperelektrolyten ergibt, welcher als Synonym für die Art der gespeicherten Information gilt ("log. 0" bzw. "log. 1").

Erfindungsgemäß ist nun bei dieser ersten Ausführungsform vorgesehen, dass entlang jeder Wortleitung WL noch eine zusätzliche Speicherzelle, nämlich eine sogenannte Merkerzelle MMC angeordnet ist. Diese ist vorzugsweise vom selben Speicherzellentyp wie die Speicherzellen MC. Insbesondere sollte sie ebenfalls von der Art sein, dass eine in ihr gespeicherte Information weitgehend zerstörungsfrei auslesbar ist. Vorteilhaft ist es dabei auch, wenn sie eine Speicherzelle vom nicht-flüchtigen Typ ist, so dass in ihr gespeicherte Information auch bei Abschalten der Versorgungsspannung erhalten bleibt. Die Merkerzellen MMC sind über die jeweiligen Wortleitungen WL und über eine Merkerbitleitung MBL adressierbar.

Bei erstmaliger Inbetriebnahme oder auch nach einem Rücksetzvorgang (wird noch beschrieben) weisen diese Merkerzellen MMC einen gegebenen Grundzustand auf, d. h., eine vorbestimmte Art von Information ist als Standardwert gespeichert (entweder "log. 0" oder "log. 1"). Wann immer nun beim anschließenden Betreiben der Speicheranordnung ein Lesezugriff auf eine Speicherzelle MC erfolgt, wird erfindungsgemäß in derjenigen Merkerzelle MMC, welche an

derselben Wortleitung WL wie die zum Lesen adressierte Speicherzelle MC liegt, eine Information eingeschrieben, die komplementär ist zum vorgenannten Standardwert. Somit spiegelt der Inhalt einer jeden Merkerzelle MMC, d. h., die in ihr gespeicherte Information, stets wider, ob auf wenigstens eine der Speicherzellen MC, die entlang der der betrachteten Merkerzelle MMC zugehörigen Wortleitung WL angeordnet sind, wenigstens einmal lesend zugegriffen worden ist.

10

Bei dem erfindungsgemäßen Verfahren ist nun vorgesehen, dass Speicherzellen MC, die entlang einer solchen Wortleitung WL angeordnet sind, deren zugehörige Merkerzelle MMC einen Speicherinhalt aufweist (ist durch Auslesen der in der Merkerzelle MMC gespeicherten Information ermittelbar), der komplementär zum Standardwert ist, (gelegentlich) einem Refresh-Vorgang unterzogen werden. Bei einem Refresh-Vorgang, welcher als solcher ja vom Betrieb dynamischer Halbleiterspeicher (DRAM) her bekannt ist, wird bekanntlich in den zu refreshenden Speicherzellen gespeicherte Information ausgelesen und (meist noch im selben Lesezyklus) wieder in die betroffenen Speicherzellen zurückgeschrieben, wobei die diese Informationen repräsentierenden Signale üblicherweise auch noch mittels der den zu refreshenden Speicherzellen zugeordneten Leseverstärkern auf ihren ursprünglichen Wert verstärkt werden.

Dieser Effekt, dass bei einem Refresh-Vorgang eine (signalmäßig verstärkte) Information zurück geschrieben wird, wird hier in vorteilhafter Weise dazu ausgenutzt, dass eine in den Speicherzellen MC gespeicherte Information, die zwar einerseits als solche weitgehend zerstörungsfrei ausgelesen werden kann, die jedoch bei mehrfachem Auslesen trotzdem eine gewisse Degradation erfahren hat, wieder auf ihren (quantitativ betrachtet) ursprünglichen Wert zurückgebracht werden kann. Somit kann vermieden werden, dass die gespeicherte Information, die ja angenommenermaßen mit jedem Lesevorgang mengenmäßig etwas abnimmt, nach häufigem Auslesen

irgendwann mengenmäßig so gering wird, dass sie vom zugehörigen Leseverstärker, der ja üblicherweise als Differenzverstärker ausgestaltet ist, nicht mehr als solche erkannt werden kann, so dass ein Lesefehler entsteht.

5

Der Umstand, dass ein solcher Refresh-Vorgang nur gelegentlich stattfindet, bietet den Vorteil, dass dafür wesentlich weniger Zeit und Energie aufzuwenden ist als wenn nach jedem Lesevorgang, wie eingangs bereits als theoretische Möglichkeit beschrieben, ein Zurückschreiben der ausgelesenen Information erfolgen würde. Der deutlich geringere Energieaufwand beruht darüber hinaus auch darauf, dass dem Refresh-Vorgang nur die Speicherzellen MC entlang solcher Wortleitungen WL unterzogen werden, entlang denen zuvor der Inhalt von Speicherzellen MC auch tatsächlich ausgelesen worden war, was im Unterschied steht zu den generell, das heißt, zwangsweise stattfindenden Refresh-Vorgängen bei den dynamischen Halbleiterspeichern (DRAM). Diese Vorteile treffen, analog, auch auf das weitere, später noch zu beschreibende Betriebsverfahren zu.

Bei diesem (wie auch bei dem nachfolgend noch zu beschreibenden) Betriebsverfahren ist es vorteilhaft, die in den Refresh-Vorgang anstoßenden Merkerzellen MMC gespeicherte Information während des Refresh-Vorgangs oder anschließend daran auf den vorgenannten Standardwert zurückzusetzen. Weiterhin ist es günstig, das Durchführen eines Refresh-Vorgangs von einem weiteren eintretenden Ereignis oder Kriterium abhängig zu machen. Ein solches Kriterium kann z. B. ein der Speicheranordnung zugeführtes Signal sein, welches anzeigt, dass sich eine Steuerschaltung, gegebenenfalls auch ein Prozessor, an welche die erfindungsgemäße Speicheranordnung angeschlossen ist, gerade im Ruhezustand befindet. In einem solchen Fall verursacht der Refresh-Vorgang keinerlei Zeitverlust, da die Speicheranordnung in diesem Zeitraum ansonsten nicht aktiv betrieben würde. Andere Kriterien können auch sein (diese Aufzählung ist nur beispielhaft, nicht abschließend) das

Einschalten eines Geräts, in dem die erfindungsgemäß Speicheranordnung enthalten ist, wobei durch das Einschalten ein spezielles, allgemein als "Power-On-Signal" bezeichnetes Signal entsteht, welches unmittelbar oder mittelbar der 5 erfindungsgemäßen Speicheranordnung zugeführt wird, oder das Durchführen eines Ladevorgangs eines Geräts, welches die erfindungsgemäß Speicheranordnung enthält. Im letzteren Fall kann z. B. aus der Tatsache des Fließens eines Ladestroms ein 10 Signal abgeleitet werden, welches dann den Refresh-Vorgang auslöst.

Figur 2 zeigt eine weitere vorteilhafte Ausführungsform der vorliegenden Erfindung: Dabei sind die von der ersten Ausführungsform her bereits prinzipiell bekannten 15 Merkerzellen MMC entlang den Bitleitungen BL angeordnet. Die Merkerzellen MMC sind hier über die jeweilige Bitleitung BL und über eine der jeweiligen Merkerzelle MMC zugeordnete Merkerwortleitung MWL adressierbar. Funktion dieser Merkerzellen MMC und zugehöriges Betriebsverfahren 20 entsprechen dem bereits vorhergehend Beschriebenen mit der Maßgabe, dass hier ein Refresh-Vorgang nur bezüglich solcher Speicherzellen MC durchgeführt wird, die entlang einer solchen Bitleitung BL angeordnet sind, bezüglich derer zuvor Speicherzellen MC ausgelesen worden waren. Auch das 25 Einschreiben von Information in eine Merkerzelle MMC, ob ein Lesevorgang durchgeführt worden ist, erfolgt nur bezüglich solcher Speicherzellen MC, die entlang der einer jeweiligen Merkerzelle MC zugehörigen Bitleitung BL angeordnet sind.

30 Figur 3 zeigt eine dritte Ausführungsform der vorliegenden Erfindung. Dabei ist die erfindungsgemäß Speicheranordnung durch eine Mehrzahl von Speicherbausteinen MEM realisiert, die einander funktionell zugeordnet sind. Dies ist z. B. bei den als solche allgemein bekannten Speichermodulen der Fall.

35 In Figur 3 ist ein solches Speichermodul dargestellt. Speichermodule werden üblicherweise mittels Steuerschaltungen, häufig Controller genannt, angesteuert (hier nicht dargestellt). Diese Steuerschaltungen können z.

B. die vorgenannten Signale, die, allgemein als "weiteres Ereignis" bezeichbar, das Durchführen von Refresh-Vorgängen als solches auslösen, erzeugen und an die jeweils angeschlossenen Speicherbausteine MEM abgeben. Bei dieser 5 Ausführungsform ist auch anhand eines einzelnen Speicherbausteins MEM, der symbolisch mittels einer Lupe vergrößert gezeigt ist, dargestellt, dass die einzelnen Speicherbausteine MEM über ihr Speicherzellenfeld MCF hinaus eine so genannte Refrescheinrichtung Refr enthalten können, 10 welche einen konkret gewünschten Refresh-Vorgang einleitet und durchführt. Auch die Speicheranordnungen nach den ersten beiden Ausführungsformen der vorliegenden Erfindung, in denen die Speicheranordnung gleich einem Speicherbaustein MEM ist, können eine solche Refrescheinrichtung Refr aufweisen. Es ist 15 allerdings auch vorstellbar, dass eine solche Refrescheinrichtung Refr außerhalb der Speicheranordnung, z. B. innerhalb der vorgenannten Steuerschaltung, angeordnet ist.

-9-

Bezugszeichenliste

BL, WL	Bit-, Wortleitung
MC	Speicherzelle
MMC	Merkerzelle
MBL, MWL	Merkerbit-, Merkerwortleitung
MCF	Speicherzellenfeld
MEM	Speicherbaustein
Refr	Refresh-Einrichtung

Patentansprüche

1. Speicheranordnung mit wieder beschreibbaren Speicherzellen (MC), die an Kreuzungen von Wortleitungen (WL) mit Bitleitungen (BL) angeordnet sind, bei der die Speicherzellen (MC) so ausgestaltet sind, dass ein Auslesen der in den Speicherzellen (MC) gespeicherten Informationen im Wesentlichen zerstörungsfrei erfolgt,
- 5 10 durch gekennzeichnet, dass die Speicheranordnung entweder je Wortleitung (WL) oder je Bitleitung (BL) eine Merkerzelle (MMC) aufweist, in der eine Information hinterlegbar ist, die anzeigt, ob wenigstens eine der Speicherzellen (MC) entweder entlang der jeweiligen Wortleitung (WL) oder entlang der jeweiligen Bitleitung (BL) seit Auftreten eines Grundzustands einem Lesevorgang unterzogen worden ist.
- 15 20 2. Speicheranordnung nach Anspruch 1, durch gekennzeichnet, dass die Merkerzellen (MMC) vom selben Speicherzellentyp wie die Speicherzellen (MC) sind.
- 25 3. Speicheranordnung nach Anspruch 1 oder 2, durch gekennzeichnet, dass die Merkerzellen (MMC) von einem Speicherzellentyp sind, bei dem ein Auslesen der gespeicherten Information zerstörungsfrei erfolgen kann.
- 30 4. Speicheranordnung nach einem der vorhergehenden Ansprüche, durch gekennzeichnet, dass die Merkerzellen (MMC) vom nicht-flüchtigen Typ sind.
- 35 5. Speicheranordnung nach einem der vorhergehenden Ansprüche, durch gekennzeichnet,

dass die Speicheranordnung ein einzelner Speicherbaustein (MEM) ist.

6. Speicheranordnung nach einem der vorhergehenden

5 Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,

dass die Speicheranordnung eine Mehrzahl von einander zugeordneten Speicherbausteinen (MEM) ist.

10 7. Speicheranordnung nach einem der vorhergehenden

Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,

dass die Speicheranordnung eine Refresheinrichtung (Refr) aufweist zum Durchführen eines Refreshvorgangs.

15

8. Verfahren zum Betreiben einer Speicheranordnung, welche wieder beschreibbare Speicherzellen (MC) aufweist, die an Kreuzungen von Wortleitungen (WL) mit Bitleitungen (BL) angeordnet sind, bei der die Speicherzellen (MC) so ausgestaltet sind, dass ein Auslesen der in den Speicherzellen (MC) gespeicherten Informationen im Wesentlichen zerstörungsfrei erfolgt,

d a d u r c h g e k e n n z e i c h n e t ,

dass diejenigen Speicherzellen (MC) einem Refreshvorgang

25

unterzogen werden, die entweder entlang einer solchen Wortleitung (WL) oder entlang einer solchen Bitleitung (BL) angeordnet sind, entlang deren zuvor wenigstens ein Lesevorgang stattgefunden hat.

30 9. Verfahren nach Anspruch 8,

d a d u r c h g e k e n n z e i c h n e t ,

dass das Auftreten eines Lesevorgangs als solches als Information in einer Merkerzelle (MMC) gespeichert wird, die entweder entlang einer vom Lesevorgang betroffenen

35

Wortleitung (WL) oder entlang einer vom Lesevorgang betroffenen Bitleitung (BL) angeordnet ist.

10. Verfahren nach Anspruch 8 oder 9,

d a d u r c h g e k e n n z e i c h n e t,
dass im Zuge des Durchführens des Refreshvorgangs die in den
betroffenen Merkerzellen (MMC) gespeicherte Information auf
einen Standardwert zurückgesetzt wird.

5

11. Verfahren nach einem der Ansprüche 8 bis 10,
d a d u r c h g e k e n n z e i c h n e t,
dass das Durchführen des Refreshvorgangs durch ein weiteres,
gegebenes Ereignis ausgelöst wird.

10

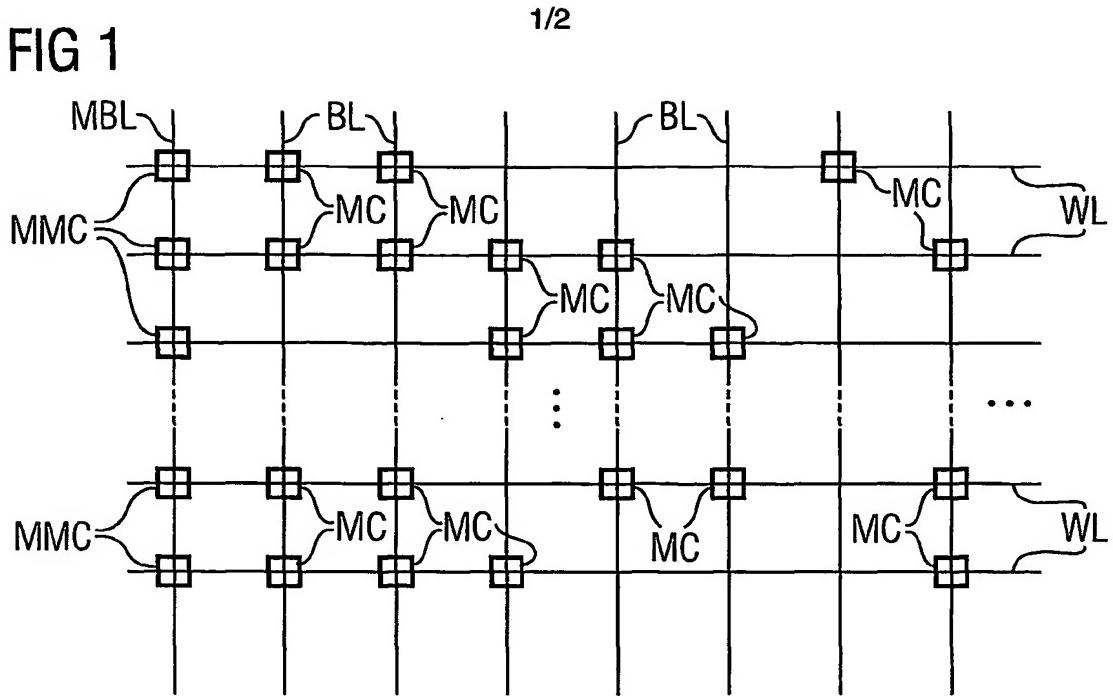
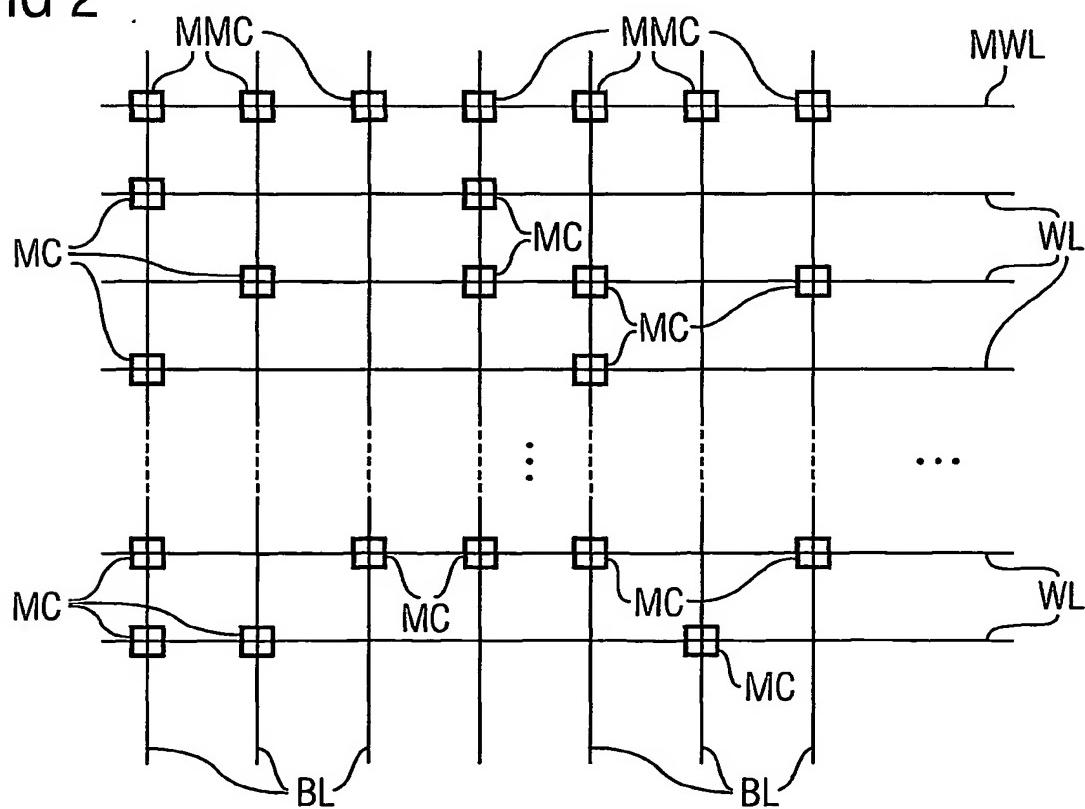
12. Speicheranordnung mit wieder beschreibbaren
Speicherzellen (MC), die an Kreuzungen von Wortleitungen (WL)
mit Bitleitungen (BL) angeordnet sind, bei der die
Speicherzellen (MC) so ausgestaltet sind, dass ein Auslesen
der in den Speicherzellen (MC) gespeicherten Informationen
zerstörungsfrei erfolgt,

d a d u r c h g e k e n n z e i c h n e t,
- dass die Speicheranordnung eine Refrescheinrichtung (Refr)
aufweist zum Durchführen eines Refreshvorgangs,

20 - dass die Speicheranordnung entweder je Wortleitung (WL)
oder je Bitleitung (BL) eine Merkerzelle (MMC) aufweist, in
der eine Information hinterlegbar ist, die anzeigt, ob
wenigstens eine der Speicherzellen (MC) entweder entlang der
jeweiligen Wortleitung (WL) oder entlang der jeweiligen

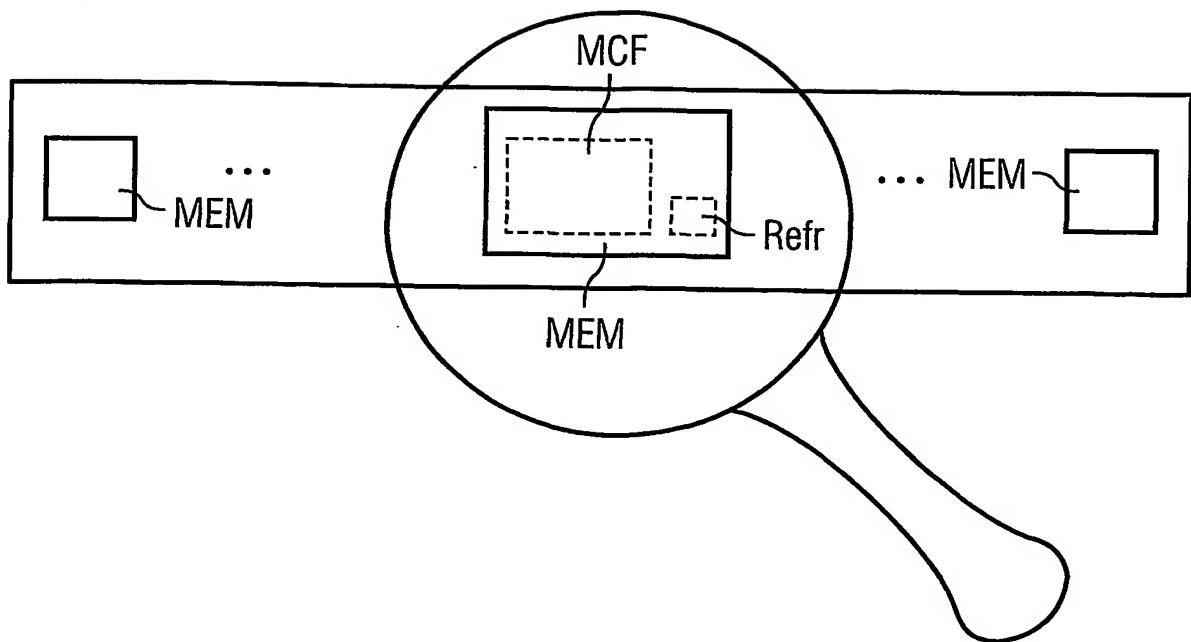
25 Bitleitung (BL) seit Auftreten eines Grundzustands einem
Lesevorgang unterzogen worden ist, und
dass die Refrescheinrichtung (Refr) so ausgelegt ist, dass sie
je Merkerzelle (MMC) in Abhängigkeit von der in dieser
Merkerzelle (MMC) hinterlegten Information einen

30 Refreshvorgang für diejenigen Speicherzellen (MC) durchführt,
die entlang der dieser Merkerzelle (MMC) zugehörigen
Wortleitung (WL) oder Bitleitung (BL) angeordnet sind.

FIG 1**FIG 2**

2/2

FIG 3



INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE2004/002396

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 G11C7/24 G11C16/34

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 633 500 B1 (CHOU MING-HUNG ET AL) 14 October 2003 (2003-10-14) column 2, line 26 - line 32; figure 7 -----	1-12
A	US 5 671 180 A (HIGUCHI ET AL) 23 September 1997 (1997-09-23) column 10, line 52 - column 13, line 13; figure 4 -----	1-12
A	US 6 005 810 A (WU ET AL) 21 December 1999 (1999-12-21) column 9, line 8 - column 10, line 44; figures 3,4 -----	1-12
P,A	US 6 646 941 B1 (ATWELL WILLIAM DAUNE ET AL) 11 November 2003 (2003-11-11) column 4, line 6 - line 11; figure 1 -----	1

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

° Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the International filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the International filing date but later than the priority date claimed

- "T" later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "&" document member of the same patent family

Date of the actual completion of the International search	Date of mailing of the International search report
29 March 2005	06/04/2005
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax (+31-70) 340-3016	Authorized officer Ramcke, T

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE2004/002396

Patent document cited in search report		Publication date		Patent family member(s)		Publication date
US 6633500	B1	14-10-2003	CN TW	1453795 A 220250 B		05-11-2003 11-08-2004
US 5671180	A	23-09-1997	JP US	6139786 A 5586074 A		20-05-1994 17-12-1996
US 6005810	A	21-12-1999	NONE			
US 6646941	B1	11-11-2003	NONE			

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/DE2004/002396

A. KLASIFIZIERUNG DES ANMELDUNGSGEGENSTANDES IPK 7 G11C7/24 G11C16/34		
Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK		
B. RECHERCHIERTE GEBIETE		
Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole) IPK 7 G11C		
Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe) EPO-Internal, WPI Data, PAJ		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 6 633 500 B1 (CHOU MING-HUNG ET AL) 14. Oktober 2003 (2003-10-14) Spalte 2, Zeile 26 – Zeile 32; Abbildung 7 -----	1-12
A	US 5 671 180 A (HIGUCHI ET AL) 23. September 1997 (1997-09-23) Spalte 10, Zeile 52 – Spalte 13, Zeile 13; Abbildung 4 -----	1-12
A	US 6 005 810 A (WU ET AL) 21. Dezember 1999 (1999-12-21) Spalte 9, Zeile 8 – Spalte 10, Zeile 44; Abbildungen 3,4 -----	1-12
P,A	US 6 646 941 B1 (ATWELL WILLIAM DAUNE ET AL) 11. November 2003 (2003-11-11) Spalte 4, Zeile 6 – Zeile 11; Abbildung 1 -----	1
<input type="checkbox"/> Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen		<input checked="" type="checkbox"/> Siehe Anhang Patentfamilie
* Besondere Kategorien von angegebenen Veröffentlichungen : "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist "E" älteres Dokument, das jedoch erst am oder nach dem Internationalen Anmeldedatum veröffentlicht worden ist "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht "P" Veröffentlichung, die vor dem Internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist		
"T" Spätere Veröffentlichung, die nach dem Internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist "X" Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erforderlicher Tätigkeit beruhend betrachtet werden "Y" Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann nicht als auf erforderlicher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist "&" Veröffentlichung, die Mitglied derselben Patentfamilie ist		
Datum des Abschlusses der Internationalen Recherche 29. März 2005		Absendeadatum des Internationalen Recherchenberichts 06/04/2005
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax (+31-70) 340-3016		Bevollmächtigter Bediensteter Ramcke, T

INTERNATIONALES RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE2004/002396

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung		Mitglied(er) der Patentfamilie	-	Datum der Veröffentlichung
US 6633500	B1	14-10-2003	CN TW	1453795 A 220250 B		05-11-2003 11-08-2004
US 5671180	A	23-09-1997	JP US	6139786 A 5586074 A		20-05-1994 17-12-1996
US 6005810	A	21-12-1999	KEINE			
US 6646941	B1	11-11-2003	KEINE			